

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03100757 **Image available**

SEMICONDUCTOR MEMORY ELEMENT

PUB. NO.: **02-076257** [JP 2076257 A]

PUBLISHED: March 15, 1990 (19900315)

INVENTOR(s): IGUCHI KATSUJI
KAWAMURA AKIO
URAI MASAHIKO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation). JP
(Japan)

APPL. NO.: 63-227945 [JP 88227945]

FILED: September 12, 1988 (19880912)

INTL CLASS: [5] H01L-027/108; H01L-027/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)

JOURNAL: Section: E, Section No. 935, Vol. 14, No. 255, Pg. 160, May
31, 1990 (19900531)

ABSTRACT

PURPOSE: To enable realization of a capacitor of large capacity by providing a plurality of memory cells connected with one electrode of the capacitor formed on a semiconductor substrate, by forming the capacitor so that one electrode of the capacitor has a columnar section, and by specifying the amount of a charge which can be accumulated in a side part of said electrode being vertical to the surface of the semiconductor substrate.

CONSTITUTION: A capacitor (C) is formed on a silicon substrate 1 so that it covers word lines 4 and 4' partially with interlayer insulation films 7 and 7' interlaid, and it is constructed of a first electrode 8 connected to a source region 5 of a transistor and a plate electrode 11 which is isolated from said first electrode 8 by an SiO(sub 2) film 10 and operates as a common wiring among a plurality of memory cells. The first electrode 8 is formed so that the side area thereof occupies 60% of the surface area thereof, and 60% or more of a charge accumulated in the capacitor is accumulated in the side part of the electrode. By this constitution, an accumulated capacity of the charge of the minimum value or above can be maintained when an element is integrated as high as 64 Mb.

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9188634

Basic Patent (No,Kind,Date): JP 2076257 A2 900315 <No. of Patents: 001>

SEMICONDUCTOR MEMORY ELEMENT (English)

Patent Assignee: SHARP KK

Author (Inventor): IGUCHI KATSUJI; KAWAMURA AKIO; URAI MASAHIKO

IPC: *H01L-027 108; H01L-027 04

Derwent WPI Acc No: G 90-127976

JAPIO Reference No: 140255E000160

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2076257	A2	900315	JP 88227945	A	880912 (BASIC)

Priority Data (No,Kind,Date):

JP 88227945 A 880912

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-76257

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月15日

H 01 L 27/108
27/04

C

7514-5F
8624-5F

H 01 L 27/10

3 2 5 C

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 半導体メモリ素子

⑯ 特 願 昭63-227945

⑰ 出 願 昭63(1988)9月12日

⑱ 発 明 者 井 口 勝 次 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内
⑲ 発 明 者 川 村 昭 男 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内
⑳ 発 明 者 浦 井 正 彦 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内
㉑ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号
㉒ 代 理 人 弁理士 青 山 葆 外1名

明 細 書

1. 発明の名称

半導体メモリ素子

2. 特許請求の範囲

(1) 半導体基板表面に形成されたトランジスタの一方の端子に、上記半導体基板上に形成されたコンデンサの一方の電極を接続したメモリセルを複数個有する半導体メモリ素子であって、

上記コンデンサの一方の電極は、断面が柱状をしており、その電極の上記半導体基板表面に垂直な側面部に蓄積できる電荷量が、その電極に蓄積できる電荷量全体の60%以上を占めるように形成されたことを特徴とする半導体メモリ素子。

(2) 半導体基板表面に形成されたトランジスタの一方の端子に、上記半導体基板上に形成されたコンデンサの一方の電極を接続したメモリセルを複数個有する半導体メモリ素子であって、

上記コンデンサの一方の電極がカップ状に形成され、上記コンデンサの他方の電極が上記カップ状の電極の内面と外面に対向するよう形成された

ことを特徴とする半導体メモリ素子。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は、半導体メモリ素子に関し、更に詳しくは、ダイナミック・ランダム・アクセス・メモリ(以下、DRAMと称す)のメモリセル構造に関する。

<従来の技術>

高集積化の先端を走るDRAMは、ここ3年以内に4倍の割合で記憶容量が増大しており、今後、4Mb、16Mb、64Mbと順次容量が増加していくと予想される。このような集積度の向上を図る上で、DRAMの記憶単位であるメモリセルを縮小して行く必要がある。一方、放射線によるソフトエラーを防止すると共に、十分なS/N比の信号を確保するためには、メモリセル内の電荷蓄積容量はある最低値以上を保たねばならない。このため、電荷蓄積コンデンサを半導体表面に形成する事は4MbDRAM以降不可能となっており、この電荷蓄積コンデンサを、半導体基板に形成さ

れた穴とか溝の内部や、半導体基板表面に形成されたMOSトランジスタ上に形成する三次元構造メモリセルが一般化しつつある。

<発明が解決しようとする課題>

ところで、電極蓄積コンデンサを、半導体基板に形成された穴とか溝、いわゆるトレンチの内部に形成する方式は、トレンチの深さに応じて電荷蓄積容量を増すことができるため、メモリセルを縮小する上では有利であるが、深いトレンチを再現性よく形成することが技術的に非常に困難であるため、生産面で有利とはいえない。一方、電荷蓄積コンデンサをMOSトランジスタ上に形成するいわゆるスタック型メモリセルは、比較的生産向きではあるが、上記トレンチを利用する場合に比べてコンデンサ容量を大きくできないため、16Mb、64Mbと高集積化していく上で不利であった。これは、スタック型メモリセルの電荷蓄積電極をなす多結晶シリコン膜の膜厚が $0.3\mu\text{m}$ 程度と比較的薄く、電荷の大部分が上記電極の上面に蓄積されているため、セル面積の縮小により蓄積電

る半導体メモリ素子であって、上記コンデンサの一方の電極がカップ状に形成され、上記コンデンサの他方の電極が上記カップ状の電極の内面と外面に対向するよう形成されたことを特徴としている。

なお、第1および第2の発明共、半導体基板としてはp型又はn型のSi基板が好ましく、p型Si基板がより好ましい。また、コンデンサの第1の電極としては燐又はヒ素をドーピングした多結晶シリコンが好ましい。さらに、コンデンサの誘電体膜の材質は、 SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 TiO_2 及びこれらの複合膜等が好ましく、その膜厚は単位面積当たりの容量が $2 \times 10^{-2} \text{F}/\text{cm}^2$ から $1 \times 10^{-1} \text{F}/\text{cm}^2$ の範囲に入る膜厚が好ましい。

<作用>

第1の発明においては、半導体基板上に形成されたコンデンサが、断面が柱状をした一方の電極に蓄積できる電荷量全体の60%以上を、その電極の上記半導体基板表面に垂直な側面部に蓄積する。

荷量が急激に減少するためである。

そこで、この発明の目的は、64Mbと高集積化する場合にも最低値以上の電荷蓄積容量を保つことができるようにしたスタック型メモリセルを有する半導体メモリ素子を提供することにある。

<課題を解決するための手段>

上記目的を達成するため、第1の発明の半導体メモリ素子は、半導体基板表面に形成されたトランジスタの一方の端子に、上記半導体基板上に形成されたコンデンサの一方の電極を接続したメモリセルを複数個有する半導体メモリ素子であって、上記コンデンサの一方の電極は、断面が柱状をしており、その電極の上記半導体基板表面に垂直な側面部に蓄積できる電荷量が、その電極に蓄積できる電荷量全体の60%以上を占めるように形成されたことを特徴としている。

また、第2の発明の半導体メモリ素子は、半導体基板表面に形成されたトランジスタの一方の端子に、上記半導体基板上に形成されたコンデンサの一方の電極を接続したメモリセルを複数個有す

る。また、第2の発明においては、半導体基板上に形成されたコンデンサが、カップ状に形成された一方の電極と、その電極の内面と外面に対向するよう形成された他方の電極との間に電荷を蓄積する。

従って、第1、第2の発明共、セル面積の縮小に抗して、従来の電荷蓄積容量を維持することができるため、 $2\mu\text{m}^2$ 程度の面積のスタック型メモリセルの実現が可能となり、64MbDRAMにも利用可能となる。

<実施例>

以下、この発明を図示の実施例により詳細に説明する。

第1の発明の実施例

第1図は本実施例における64MbDRAMに適用可能なメモリセルの作製工程を示す図である。この第1図の(A-1)、(B-1)、(C-1)、(D-1)はそれぞれ平面図であり、(A-2)、(B-2)、(C-2)、(D-2)はそれぞれ上記各平面図のX-X線断面図である。

上記各平面図の一点鎖線で囲まれた領域($2.0\mu\text{m} \times 1.0\mu\text{m}$)は一つのメモリセルの領域を示している。このメモリセルは機能的には一つのNチャンネルトランジスタ(T)と一つのコンデンサ(C)から構成される。このトランジスタは、ドレイン領域がビット線と接続され、ソース領域がコンデンサと接続される。そして、このトランジスタのゲート電極となるワード線が高レベルにある時に導通し、上記ワード線が低レベルにあるときにオープン状態となる。上記トランジスタが導通した状態において、ビット線とコンデンサの間で電荷のやり取りが起き、信号の書き込み、読み出しがおこなわれる。

第1図の(D-1)、(D-2)に示すように、上記トランジスタ(T)はP型シリコン基板1をチャンネルとし、このシリコン基板1の表面に元素拡散層よりなるソース領域5とドレイン領域6が形成されている。そして、このチャンネルの上にはゲート酸化膜3を介してゲート電極となるワード線4が走っている。このワード線4は溝ドープ多

結晶シリコンより構成されている。一方、コンデンサ(C)はシリコン基板1上に、層間絶縁膜7、7'を介してワード線4、4'を部分的に覆うように形成されており、トランジスタのソース領域5と接続された第1の電極8と、この第1の電極8とSiO₂膜10によって分離され、複数メモリセル間の共通配線となるプレート電極11とから構成されている。上記第1の電極8は、その表面積の80%を側面積が占めるように形成され、コンデンサに蓄えられる電荷の80%以上が電極側面部に蓄積されるようになっている。

本実施例では、64MbDRAM用メモリセルを対象として、 $0.3\mu\text{m}$ ルールでセル設計をしているが、16MbDRAMメモリセルとしては $0.5\mu\text{m}$ ルールでセル設計をすることにより、セル面積が $5\mu\text{m}^2$ 以下のメモリセルを実現できる。この場合、第1の電極の高さは $0.5\mu\text{m}$ 程度となり、全電荷の60%程度が第1の電極の側面部に蓄積される。

次に、製造方法について説明する。パターン縮画は電子ビーム縮画装置を用いて行った。主として

により100Å厚のゲート酸化膜3、3'を形成する。次いで、溝ドープ多結晶シリコンを $0.4\mu\text{m}$ 厚堆積し、続けて $0.3\mu\text{m}$ 厚のCVD-SiO₂膜(SiO₂膜7、7'、7''の一部)を堆積する。この2層膜をワード線パターン4、4'、4''へ加工した後、溝(P)をイオン注入法により20KeVのエネルギーで $3 \times 10^{13}\text{cm}^{-2}$ 注入し、 $0.1\mu\text{m}$ 厚のLPCVD-SiO₂膜を堆積し、エッチバックにより、ゲート電極スペーサ(SiO₂膜7、7'、7''の一部となる)を形成し、さらにひ素(As)を30KeVで $5 \times 10^{13}\text{cm}^{-2}$ 注入した。以上の工程によりLDD(Lightly Doped Drain- lightly doped drain)構造のトランジスタのソース領域5、5'、5''及びドレイン領域6、6'、6''が形成できる。さらに、LPCVD-SiO₂膜を $0.1\mu\text{m}$ 厚堆積し、エッチバック工程により、ワード側壁にのみSiO₂膜を残す。このSiO₂膜及び前述のゲート電極スペーサSiO₂膜、CVD-SiO₂膜よりなるSiO₂膜7、7'、7''によってワード線は完全に覆われ、同時にソース領域、ドレイン

区に関する製造工程は公知のものと大差ないためここでは図示していない。

第1図の(A-1)および(A-2)はそれぞれトランジスタ部形成後のメモリセルの平面図と断面図である。本実施例では素子分離にいわゆるBOX法を用いた。すなわち、p型Si基板1の素子分離領域2に深さ $0.6\mu\text{m}$ の溝(トレンチ)を形成し、溝側壁にイオン注入法により浅くボロン(B)を注入し、次いで熱酸化法により100ÅのSiO₂膜を形成し、さらにLPCVD法によりSiO₂膜を堆積し、最後にエッチバック法により平坦化し、素子分離領域2の形成を完了する。次ぎにトランジスタのゲート絶縁膜さらにゲート電極となるワード線形成工程に入る。なお、本実施例では折り返しビット線構成をとっている。又、ワード線材料は多結晶シリコン、ポリサイド、高融点金属等が利用可能であるが、本実施例では溝ドープ多結晶シリコンを用いた。まず、トランジスタ領域上の平坦化時のエッチングストップとして用いた多結晶シリコンマスク等を剥離したのち、熱酸化法

ン領域上の開口部は他から相互に絶縁分離された構造となる。

次に、コンデンサの作製工程を説明する。まず、第1図の(B-1)、(B-2)に示すように、燐ドーパ多結晶シリコンを $1\mu\text{m}$ 厚堆積し、R1E法により、トランジスタのソース領域 $5, 5', 5'', 5'''$ 等に接続した第1電極 $8, 8', 8'', 8'''$ とトランジスタのドレイン領域 $6, 6', 6'', 6'''$ に接続し、後にビット線とも接続する電極 $9, 9', 9'', 9'''$ へ加工する。そして、第1図の(C-1)、(C-2)に示すように、第1の誘電体膜となる 50\AA 厚の SiO_2 膜 $10, 10', 10'', 10'''$ を無酸化法により形成し、燐ドーパ多結晶シリコンを $0.1\mu\text{m}$ 厚で堆積し、プレート電極 11 へ加工する。この時、電極 9 の周辺はマスクで覆われていないため、上記燐ドーパ多結晶シリコンはエッチング除去される。しかし、ソース電極 6 とプレート電極 11 が短絡しなければ、電極 9 の周囲に上記燐ドーパ多結晶シリコンが残ってもよい。

最後に、第1図の(D-1)、(D-2)に示すよ

(A-2)、(B-2)、(C-2)、(D-2)、(E-2)、(F-2)はそれぞれ上記各平面図のX-X線断面図である。

上記各平面図の一点鎖線で囲まれた領域($2.0\mu\text{m} \times 1.0\mu\text{m}$)は一つのメモリセルの領域を示している。このメモリセルは機能的には一つのNチャンネルトランジスタ(T)と一つのコンデンサ(C)から構成される。このトランジスタは、ドレイン領域がビット線と接続され、ソース領域がコンデンサと接続される。そして、このトランジスタのゲート電極となるワード線が高レベルにある時に導通し、上記ワード線が低レベルにあるときにオープン状態となる。上記トランジスタが導通した状態において、ビット線とコンデンサの間で電荷のやり取りが起き、信号の書き込み、読み出しがおこなわれる。

第2図の(F-1)、(F-2)に示すように、上記トランジスタ(T)はP型シリコン基板 21 をチャンネルとし、このシリコン基板 21 の表面にひ素拡散層よりなるソース領域 25 とドレイン領域 2

うに、LPCVD法及びCVD法により SiO_2 膜 15 を堆積し、エッチバック法により平坦化し、ビット線とトランジスタのドレイン 6 を接続するためのコンタクトホール $16, 16', 16'', 16'''$ を開口し、 AlSi 合金を $0.5\mu\text{m}$ 厚堆積し、ビット線 $17, 17', 17'', 17'''$ へ加工する。

以上の工程で形成されたメモリセルは、1セル当たり、 $2\mu\text{m} \times 1\mu\text{m} = 2\mu\text{m}^2$ の面積を有し、最小寸法は $0.3\mu\text{m}$ である。レジストマスクにより加工されるパターン最大のアスペクト比は2.5と小さく、深いトレンチを掘る場合のような困難さはない。本実施例のメモリセルのコンデンサの容量は 28fF と実用上問題のない大きさであった。蓄積された電荷の保持時間は従来のスタック型セルと同等であった。

第2の発明の実施例

第2図は本実施例における 64MbDRAM に適用可能なメモリセルの作製工程を示す図である。この第2図の(A-1)、(B-1)、(C-1)、(D-1)、(E-1)、(F-1)はそれぞれ平面図であり、

6 が形成されている。そして、このチャンネルの上にはゲート酸化膜 23 を介してゲート電極となるワード線 24 が走っている。このワード線 24 は燐ドーパ多結晶シリコンより構成されている。一方、コンデンサ(C)はシリコン基板 21 上に、隔間絶縁膜 $27, 27'$ を介してワード線 $24, 24'$ を部分的に覆うように形成されており、トランジスタのソース領域 25 と接続されたカップ状の第1の電極 34 と、この第1の電極 34 と誘電体膜 36 によって分離され、複数メモリセル間の共通配線となるプレート電極 37 とから構成されている。上記カップ状をした第1の電極 34 は、コンデンサに蓄積される電荷の約35%がその電極内面に蓄積されるようになっている。

本実施例では、 64MbDRAM 用メモリセルを対象として、 $0.2\mu\text{m}$ ルールでセル設計をしているが、 16MbDRAM メモリセルとしては $0.5\mu\text{m}$ ルールでセル設計をすることにより、セル面積が $4\mu\text{m}^2$ 程度のメモリセルを実現できる。この場合、第1の電極の外装の高さは $0.5\mu\text{m}$ 程度でよい。

次に、製造方法について説明する。パターン描画は、第1の発明の実施例と同様、電子ビーム描画装置を用いて行った。また、主としてトランジスタに関する製造工程は公知のものと大差ないためここでは図示していない。

第2図の(A-1)および(A-2)はそれぞれトランジスタ形成後のメモリセルの平面図と断面図である。ここまでの工程は、第1の発明の実施例の第1図の(A-1)、(A-2)において説明したものと同様であるので説明を省略する。

次に、コンデンサの作製工程を説明する。まず、第2図の(B-1)、(B-2)に示すように、LPCVD法により200ÅのSiO₂膜28と300ÅのSi₃N₄膜29を堆積し、さらに、LPCVD法とAPCVD法により平坦部で0.8μm厚のSiO₂膜30を堆積し、コンデンサ形成部31、31'、31''及びドレインビット線接合部32、32'、32''のSiO₂膜30をエッチング除去する。

次に、第2図の(C-1)、(C-2)に示すように、コンデンサ形成部31、31'、31''及びドレ

電極をなすカップ状の電極34、34'、34''と、ビット線とトランジスタのドレインを接続する電極35、35'、35''が形成される。

次に、第2図の(E-1)、(E-2)に示すように、PolySi膜33を熱酸化し、その上にSi₃N₄膜を堆積することにより、2層絶縁膜36を形成する。更に、多結晶シリコン膜37を堆積した後、溝を拡散し、コンデンサの第2の電極をなすプレート電極へ加工する。上記2層絶縁膜36による容量は6.7fF/μm²である。

最後に、第2図の(F-1)、(F-2)に示すように、層間絶縁膜38を堆積し、平坦化した後、ビット線コンタクトホール39、39'、39''を形成し、AlSi合金を0.5μm厚堆積し、ビット線40、40'、40''へ加工する。

以上の工程で形成されたメモリセルは、1セル当たり、2μm×1μm=2μm²の面積を有し、最小寸法は0.3μmである。レジストマスクにより加工されるパターンの最大アスペクト比は2と小さく、深いトレンチを掘る場合のような困難さは

インービット線接合部32、32'、32''のSi₃N₄膜29及びSiO₂膜30をエッチング除去する。まず、熱濃硝酸でSi₃N₄を溶解した後、緩衝液でSiO₂膜をエッチングする。その後、1.2μm厚の多結晶シリコン(PolySi)33を堆積する。

その後、第2図の(D-1)、(D-2)に示すように、レジストを塗布し露光しないでベーキングし、RIEによりエッチングし、PolySi膜33の上部表面を露出する。この時、PolySi膜33により形成されたカップ状の電極の内部には上記レジストが残存している。そして、RIE法によりPolySi膜33の上面をエッチングし、SiO₂膜30の上面を露出させる。次いで、緩衝液によりSiO₂膜30をエッチング除去する。Si₃N₄膜29がエッチングストップとなり、ワード線を被覆するSiO₂膜27、27'、27''はエッチングされない。さらに、気相よりホウ素(As)をPolySi膜に拡散し、多結晶シリコン膜33を低抵抗化する。以上の工程により、コンデンサの第1の

ない。本実施例のメモリセルのコンデンサの容量は2.7fFと実用上問題のない大きさであった。蓄積された電荷の保持時間は従来のスタック型セルと同等かそれより長かった。

<発明の効果>

以上より明らかなように、第1の発明の半導体メモリ素子は、半導体基板表面に形成されたトランジスタの一方の端子に、上記半導体基板表面に形成されたコンデンサの一方の電極を接続したメモリセルを複数個有し、上記コンデンサの一方の電極は、断面が柱状をしており、その電極の上記半導体基板表面に垂直な側面部に蓄積できる電荷量が、その電極に蓄積できる電荷量全体の60%以上を占めるように形成されているので、従来のスタック型メモリでは実現不可能だった大容量コンデンサを実現でき、セル面積2μm²程度のスタック型メモリセルにより64Mbit DRAMを実現することができ、また、さらに記憶容量の大きいDRAMの実現も可能である。

また、第2の発明の半導体メモリ素子は、半導

体基板表面に形成されたトランジスタの一方の端子に、上記半導体基板上に形成されたコンデンサの一方の電極を接続したメモリセルを複数個有し、上記コンデンサの一方の電極がカップ状に形成され、上記コンデンサの他方の電極が上記カップ状の電極の内面と外面に対向するよう形成されているので、第1の発明と同様の効果がある。

4. 図面の簡単な説明

第1図は第1の発明の一実施例の製造工程を説明する図であり、第1図の(A-1)、(B-1)、(C-1)、(D-1)は平面図、(A-2)、(B-2)、(C-2)、(D-2)はそれぞれ上記平面図のX-X線断面図である。第2図は第2の発明の一実施例の製造工程を説明する図であり、第2図の(A-1)、(B-1)、(C-1)、(D-1)、(E-1)、(F-1)は平面図、(A-2)、(B-2)、(C-2)、(D-2)、(E-2)、(F-2)はそれぞれ上記平面図のX-X線断面図である。

1.21…P型シリコン基板、

4.24…トランジスタのゲート電極をなすワ

ード線、

5.25…トランジスタのソース領域、

6.26…トランジスタのドレイン領域、

8.34…コンデンサの第1電極、

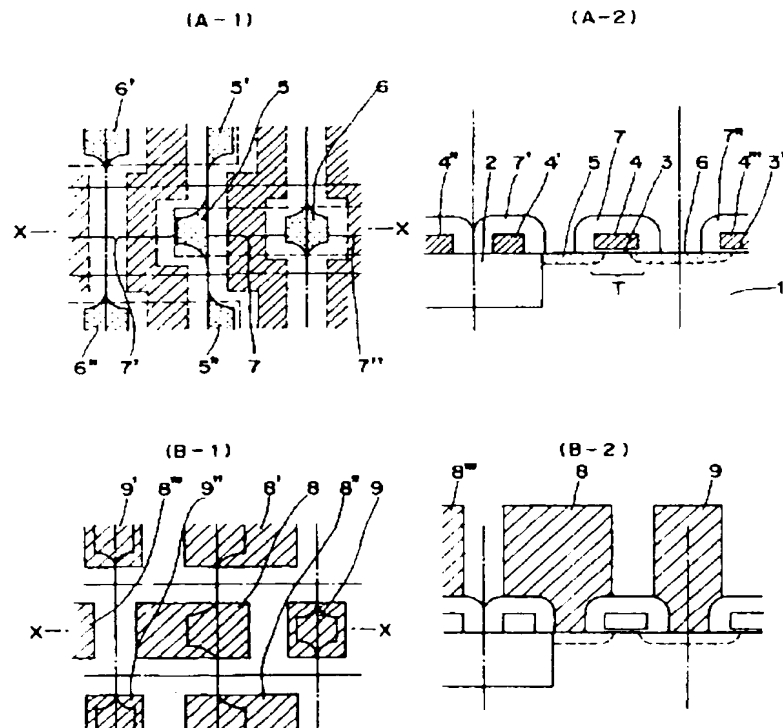
10.36…コンデンサの誘電体膜、

11.37…コンデンサの第2電極、

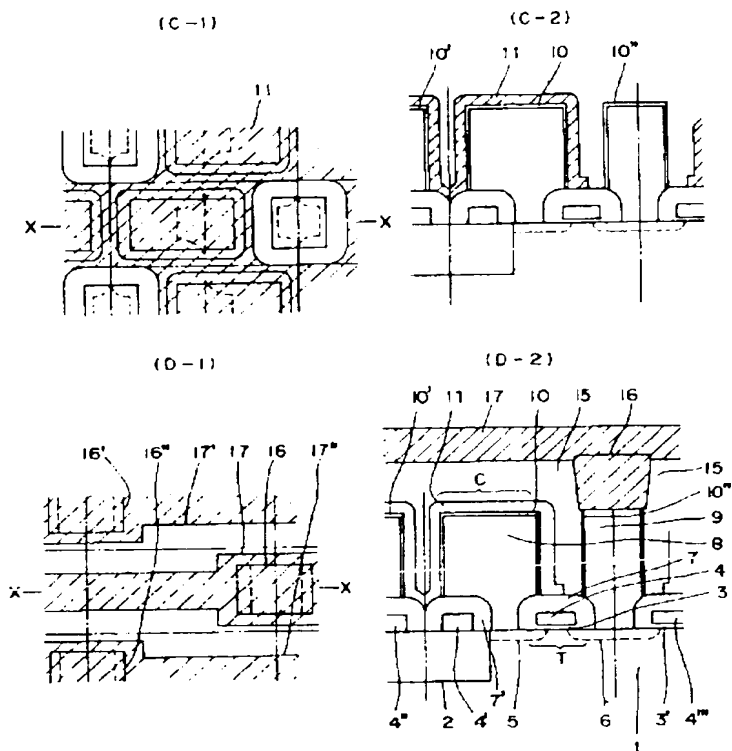
17.40…ビット線。

特 許 出 願 人 シャープ株式会社
代 理 人 弁 理 士 青 山 藤 ほか1名

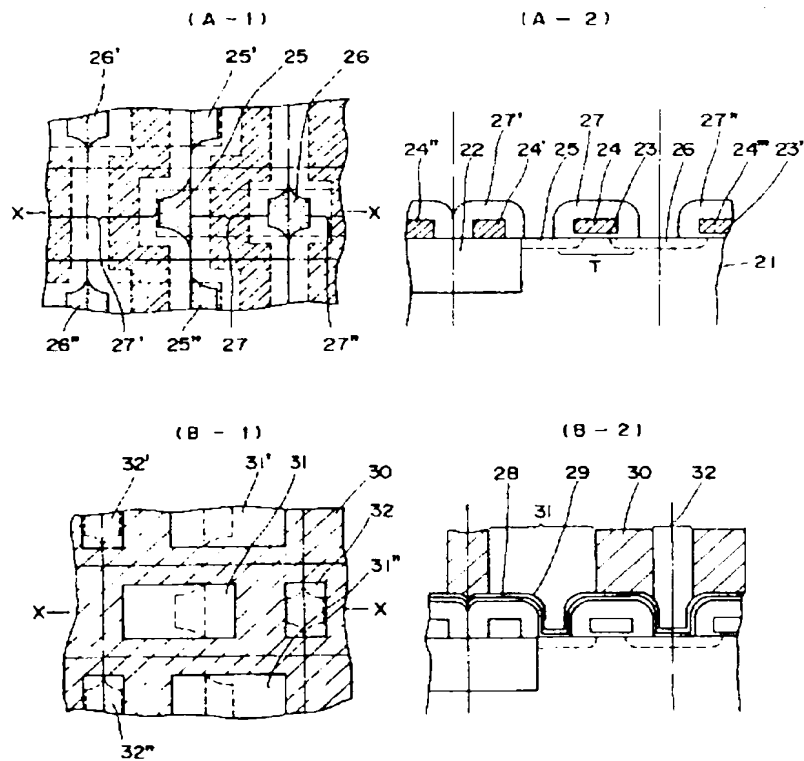
第 1 図



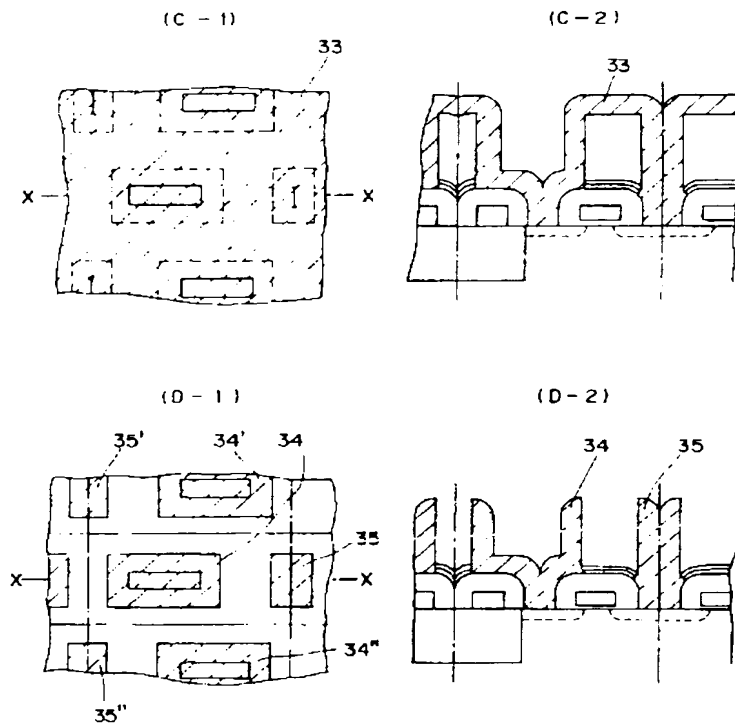
第 1 図



第 2 図



第 2 圖



第 2 圖

